



SiriuStar



Pegasus



Pegasus I/O





Índice

1 - Descrição.....	4
1.1 - SiriuStar	4
1.2 - Pegasus	4
1.3 - Pegasus I/O	4
2 - Mapa de Memória.....	5
3 - Registradores	6
3.1 - PXA255.....	6
3.2 - Pegasus I/O	7
3.2.1 - T0F	7
3.2.2 - TF0	7
3.2.3 - ID	7
3.2.4 - DID	8
3.2.5 - IIS	8
3.2.6 - IML	9
3.2.7 - IMH	9
3.2.8 - DOD	10
3.2.9 - IExD.....	10
3.2.10 - IExC.....	11
3.2.11 - AExD	11
3.2.12 - AExC	12
3.2.13 - AID	12
3.2.14 - AIS.....	13
3.2.15 - AOxD.....	13
3.2.16 - SC	13
3.2.17 - Resumo de registradores	14
3.3 - Pegasus.....	15
3.3.1 - Nativo	15
3.3.1.1 - CR.....	15
3.3.2 - CPLD Lubbock (Emulação)	17
3.3.2.1 - Whoami Register	17
3.3.2.2 - Interrupt Register	17
3.3.2.3 - Mask Register	18
3.3.2.4 - Equivalência entre as interrupções da Lubbock e Pegasus.....	18
3.3.3 - SA11x1 (Emulação).....	19
3.3.3.1 - T0F	19
3.3.3.2 - TF0	19
3.3.3.3 - SKID	20
3.3.3.4 - KBDCR	20
3.3.3.5 - KBDSTAT	21
3.3.3.6 - KBDDATA.....	22
3.3.3.7 - KBDCLKDIV.....	22
3.3.3.8 - KBDFRECNT.....	22



3.3.3.9 - KBDITR.....	23
3.3.3.10 - INTEN0	23
3.3.3.11 - INTEN1	24
3.3.3.12 - INTSTATCLR0.....	24
3.3.3.13 - INSTATCLR1	25
3.3.3.14 - PCCR.....	25
3.3.3.15 - PCSSR	26
3.3.3.16 - PCSR.....	26
3.4 - SiriuStar	28
3.4.1 - Control Register	28
3.5 - Ethernet	29
3.6 - USB.....	29
4 - Notas	30



1 - Descrição

Este manual contém informações para a correta configuração e utilização do conjunto SiriuStar, Pegasus e Pegasus I/O.

A seguir existe um breve resumo sobre cada uma destas placas. Para consultar as características completas e outras informações técnicas, favor consultar o manual da placa desejada.

1.1 - SiriuStar

Este é o módulo de processamento. Contém o processador, memórias Flash e SDRAM, CPLD de controle e driver RS-232 full.

As memórias suportam operação a até 100 MHz (SDRAM), CPU a até 400 MHz e barramento de expansão a até 50 MHz, além de diversos dispositivos.

1.2 - Pegasus

Esta é a placa base utilizada em conjunto com o módulo de processamento SiriuStar. Possui diversos dispositivos, incluindo aqueles disponibilizados pela própria SiriuStar (Compact Flash, Serial, USB Slave, etc) como dispositivos nativos (Interfaces PS/2, USB Máster, Ethernet, etc).

Possui barramento de expansão com bus de dados e address, serial, etc.

1.3 - Pegasus I/O

Esta placa é acoplada no barramento de expansão da Pegasus e contém diversas entradas e saídas, possibilitando o controle de máquinas, automações residencial, comercial ou mesmo industrial.

Esta placa possui as seguintes características:

- 16 saídas digitais a relé (Sendo 8 NA/NF e outras 8 somente NA);
- 26 entradas digitais isoladas (22 divididas em 2 grupos, cada um com 11 entradas e referência comum, além de outras 4 diferenciais);
- 2 saídas analógicas isoladas e independentes com 16 bits de precisão ($\pm 10V$, $\pm 5V$ ou 0 a 10V);
- 7 entradas analógicas com 14 bits de precisão ($\pm 10V$);
- 4 entradas para encoders (2 incrementais de pulso e 2 absolutos SSI);
- 4 seriais multiplexadas (3 RS-232 e 1 RS-485 isolada).



2 - Mapa de Memória

A tabela a seguir contém as áreas de memória estática alocadas para cada dispositivo do conjunto.

As áreas alocadas devem ser consideradas apenas como reservadas para estes dispositivos. Isto não significa que todos os endereços estão sendo utilizados pelos mesmos e, portanto, é possível adicionar novos dispositivos dentro das áreas limitadas a estes dispositivos. A seção sobre os registradores exibe exatamente quais os endereços utilizados, possibilitando assim a decisão correta sobre os endereços que podem ser utilizados.

Faixa de endereço	Banco	Dispositivo
0x00000000 0x03FFFFFF	CS0	Memória Flash (SiriuStar)
0x04000000 0x07FFFFFF	CS1	Pegasus I/O
0x08000000 0x09FFFFFF	CS2	CPLD Lubbock (Emulação)
0x0A000000 0x0BFFFFFF	CS2	Buffer de configuração e CPLD SiriuStar
0x0C000000 0x0FFFFFFF	CS3	Controlador Ethernet (SMC91C111)
0x10000000 0x13FFFFFF	CS4	SA1111 (Emulação)
0x14000000 0x17FFFFFF	CS5	Controlador USB 2.0 (ISP1362)



3 - Registradores

3.1 - PXA255

Para o correto funcionamento do conjunto, alguns registradores do processador devem estar configurados de acordo com o dispositivo sendo controlado.

A seguir são descritos quais registradores são esses e seus respectivos valores:

Configuração dos clocks (Modos Turbo e Run da CPU e frequência base das memórias)		
Registrador	Endereço	Valor
CCCR	0x41300000	0x00000241
Configuração da velocidade / modo de operação das memórias		
Registrador	Endereço	Valor
MDCNFG	0x48000000	0x000019CB
MDREFR	0x48000004	0x0001F018
MSC0	0x48000008	0x4FF123D2
MSC1	0x4800000C	0xB8844FF1
MSC2	0x48000010	0x7FFC4FF1
Configuração do LCD (Para utilização com monitor)		
Registrador	Endereço	Valor
LCCR0	0x44000000	0x003008F9
LCCR 1	0x44000004	0x1D18D67F
LCCR 2	0x44000008	0x140F19DF
LCCR3	0x4400000C	0x0440FF01

Configuração dos GPIOs		
Registrador	Endereço	Valor
GPDR0	0x40E0000C	0xC3808542
GPDR1	0x40E00010	0xFCFFAB82
GPDR2	0x40E00014	0x0001FFFF
GAFR0_L	0x40E00054	0x80111000
GAFR0_U	0x40E00058	0xA55A4010
GAFR1_L*	0x40E0005C	0x699A9558
GAFR1_U	0x40E00060	0xAAA5AAAA
GAFR2_L	0x40E00064	0xAAAAAAAA
GAFR2_U	0x40E00068	0x00000002

- O registrador GAFR1_L pode ser configurado com o valor 0x999A9558, o que habilita a interface de infravermelho. Porém, a porta serial utilizada pela placa Pegasus I/O será desabilitada, desligando as suas 4 portas seriais.
- Informações detalhadas a respeito destes registradores podem ser encontradas no Developer's Manual do processador Intel PXA255, disponível em <http://developer.intel.com>



3.2 - Pegasus I/O

A placa Pegasus I/O contém diversos registradores que são utilizados para sua configuração e operação.

A seguir encontra-se a descrição de todos os registradores. Ao final da descrição detalhada encontra-se um resumo com seus endereços e valores iniciais. O valor X indica que o estado inicial é desconhecido e depende do dispositivo em questão.

3.2.1 - T0F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	Teste 0F																0x04000000																
Reset	T0F																																
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	Bits	Nome	Descrição																														
	31:0	T0F	Teste 0F: Registrador somente-leitura que pode ser utilizado para teste do barramento de dados. Sua leitura sempre retorna 0x0000FFFF																														

3.2.2 - TF0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Teste F0																0x04000004															
Reset	TF0																															
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome	Descrição																													
	31:0	TF0	Teste F0: Registrador somente-leitura que pode ser utilizado para teste do barramento de dados. Sua leitura sempre retorna 0xFFFF0000																													

3.2.3 - ID

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Identifier																0x04000008															
Reset	GID																VID						RID									
	1	0	1	0	0	1	0	1	1	0	1	1	1	1	1	1	0	0	0	0	0	0	0	1	X	X	X	X	X	X	X	X
	Bits	Nome	Descrição																													
	31:16	GID	Global Identifier: Registrador somente-leitura que contém o identificador da placa Pegasus I/O.																													
	15:8	VID	Version Identifier: Registrador somente-leitura que contém a versão do firmware da Pegasus I/O.																													
	7:0	RID	Revision Identifier: Registrador somente-leitura que contém a revisão do firmware da Pegasus I/O.																													



3.2.4 - DID

		Digital Input Data																									0x04000010						
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reservado							I26	I25	I24	I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1
Reset		0	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Bits	Nome	Descrição																															
31:26	-	Reservado																															
25:0	I[x]	Input[x] : Registrador somente-leitura utilizado para ler o estado da entrada digital. 0 = Entrada inativa. 1 = Entrada ativa.																															

3.2.5 - IIS

		Interrupt Input Status																									0x04000014						
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reservado							IS26	IS25	IS24	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Nome	Descrição																															
31:26	-	Reservado																															
25:0	IS[x]	Input Status[x] : Registrador somente-leitura indicando as entradas que causaram a interrupção. 0 = Não gerou interrupção. 1 = Gerou interrupção.																															



3.2.6 - IML

		Interrupt Mask Low																0x04000018														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reservado						ML26	ML25	ML24	ML23	ML22	ML21	ML20	ML19	ML18	ML17	ML16	ML15	ML14	ML13	ML12	ML11	ML10	ML9	ML8	ML7	ML6	ML5	ML4	ML3	ML2	ML1
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome		Descrição																												
	31:26	-		Reservado																												
	25:0	ML[x]		Mask Low[x]: Registrador que habilita geração de interrupções quando a entrada digital x estiver em nível baixo. 0 = Interrupção inativa. 1 = Interrupção ativa.																												

3.2.7 - IMH

		Interrupt Mask High																0x0400001C														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reservado						MH26	MH25	MH24	MH23	MH22	MH21	MH20	MH19	MH18	MH17	MH16	MH15	MH14	MH13	MH12	MH11	MH10	MH9	MH8	MH7	MH6	MH5	MH4	MH3	MH2	MH1
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome		Descrição																												
	31:26	-		Reservado																												
	25:0	MH[x]		Mask High[x]: Registrador que habilita geração de interrupções quando a entrada digital x estiver em nível alto. 0 = Interrupção inativa. 1 = Interrupção ativa.																												

Obs.: A interrupção é gerada no GPIO 10 do processador PXA255. Ela é um sinal ativo baixo, ou seja, seu valor é zero quando existe uma interrupção ativa.



3.2.8 - DOD

Digital Output Data																0x04000020																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	reservado																O16	O15	O14	O13	O12	O11	O10	O9	O8	O7	O6	O5	O4	O3	O2	O1				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Nome	Descrição																																	
	31:16	-	Reservado																																	
	15:0	O[x]	Output[x]: Leitura retorna o estado atual da saída digital e escrita altera seu estado. 0 = Saída inativa 1 = Saída ativa																																	

3.2.9 - IExD

Incremental Encoder 1 Data																0x04000030																				
Incremental Encoder 2 Data																0x04000040																				
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	Data																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Nome	Descrição																																	
	31:0	Data	Data: Leitura retorna o valor atual do encoder (canal x) e escrita grava o seu valor.																																	



3.2.10 - IExC

		Incremental Encoder 1 Configuration Incremental Encoder 2 Configuration	0x04000034 0x04000044
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
	reservado	INV	M3 M2 M1
Reset	0 0		
Bits	Nome	Descrição	
31:4	-	Reservado	
3	INV	Inverter: Seleciona o sentido de leitura do encoder. 0 = Modo normal (sentido horário) 1 = Sentido de leitura invertido (sentido anti-horário)	
2:0	M[x]	Multiplier[x]: Seleciona o multiplicador da resolução do encoder através da defasagem dos sinais A e B. 000 = Encoder desabilitado. 001 = Resolução multiplicada por 1 010 = Resolução multiplicada por 2 100 = Resolução multiplicada por 4 Obs.: Os bits mais significativos tem precedência sobre os anteriores. Por exemplo: o valor 011 selecionará o multiplicador 2.	

3.2.11 - AExD

		Absolute Encoder 1 Data Absolute Encoder 2 Data	0x04000050 0x04000060
Bit	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
	r Data		
Reset	0 0		
Bits	Nome	Descrição	
31	-	Reservado	
30:0	Data	Data: Leitura retorna o valor atual do encoder (canal x) e escrita de qualquer valor dispara novo ciclo de leitura. Dados não utilizados sempre retornam 0 (Conforme configurado em WS do registrador AExC).	



3.2.12 - AExC

		Absolute Encoder 1 Configuration Absolute Encoder 2 Configuration																0x04000054 0x04000064																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	INV	reservado																								RDY	WS									
Reset	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0				
	Bits	Nome	Descrição																																	
	31	INV	Invalid Data: Registrador somente-leitura que indica que os dados existentes em AExD são inválidos. Após a primeira leitura no canal x, o valor deste registrador é alterado para zero e somente terá o valor 1 novamente em caso de reset. 0 = Dados em AExD são válidos 1 = Dados em AExD são inválidos																																	
	30:6	-	Reservado																																	
	5	RDY	Ready: Estado do encoder SSI (canal x) 0 = Realizando nova leitura. Os dados estão incompletos. 1 = Dados prontos e encoder preparado para nova leitura.																																	
	4:0	WS	Word Size: Tamanho da palavra do encoder SSI em bits. O valor 0 desabilita o encoder. Valores entre 1 e 31 indicam o número de bits de dados utilizados.																																	

3.2.13 - AID

		Analog Input Data																0x04000070																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	reservado																Data																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1					
	Bits	Nome	Descrição																																	
	31:16	-	Reservado																																	
	15:0	Data	Data: Leitura retorna o último valor lido do A/D e a escrita envia estes dados ao A/D.																																	



3.2.14 - AIS

		Analog Input Status																0x04000074															
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	reservado																														RDY		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
	Bits	Nome		Descrição																													
	31:1	-		Reservado																													
	0	RDY		Ready: Estado do A/D. 0 = Transmitindo comando ou recebendo dados. 1 = Dados prontos e A/D preparado para novo comando.																													

3.2.15 - AOxD

		Analog Output 1 Data																0x04000080					Analog Output 2 Data					0x04000090							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
	reservado																Data																		
Reset	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	Bits	Nome		Descrição																															
	31:16	-		Reservado																															
	15:0	Data		Data: Valor do D/A (canal x). Suporta leitura e escrita.																															

3.2.16 - SC

		Serial Configuration																0x040000A0														
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reservado																											DIR	ES4	ES3	ES2	ES1
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome		Descrição																												
	31:5	-		Reservado																												
	4	DIR		Direction: Direção da serial RS-485 (Serial 4). 0 = Configura para recepção 1 = Configura para transmissão																												
	3:0	ES[x]		Enable Serial[x]: Habilita o canal serial x. 0 = Serial desabilitada 1 = Serial habilitada																												



3.2.17 - Resumo de registradores

Teste e identificação		
Registrador	Endereço	Valor inicial
TF0	0x04000000	0xFFFF0000
T0F	0x04000004	0x0000FFFF
ID	0x04000008	0xA5BF01XX

I/O digitais		
Registrador	Endereço	Valor inicial
DID	0x04000010	0XXXXXXXXX
DOD	0x04000020	0x00000000

Encoders		
Registrador	Endereço	Valor inicial
IE1D	0x04000030	0x00000000
IE1C	0x04000034	0x00000004
IE2D	0x04000040	0x00000000
IE2C	0x04000044	0x00000004
AE1D	0x04000050	0x00000000
AE1C	0x04000054	0x00000000
AE2D	0x04000060	0x00000000
AE2C	0x04000064	0x00000000

I/O analógicos		
Registrador	Endereço	Valor inicial
AID	0x04000070	0x0000FFFF
AIS	0x04000074	0x00000001
AO1D	0x04000080	0XXXXXXXX000
AO2D	0x04000090	0XXXXXXXX000

Seriais		
Registrador	Endereço	Valor inicial
SC	0x040000A0	0x00000000



3.3 - Pegasus

A FPGA da placa Pegasus é responsável por controlar o funcionamento de todas as interfaces existentes na placa. Para fazer isso de forma a ser compatível com hardwares já existentes, este controle é feito através da emulação de alguns componentes (SA1111 e CPLD da Lubbock) e criação de alguns registradores próprios.

A seguir serão demonstrados as características de cada um destes componentes e registradores:

3.3.1 - Nativo

A FPGA conta com um registrador próprio que tem a função de controlar alguns dispositivos específicos da placa Pegasus. Este registrador é descrito a seguir:

3.3.1.1 - CR

		Control Register													0x08000030																								
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
	GID				RID		SWD						DSIO1	DSIO0	SIO1	SIO0	DRFIO	RFIO	SS	EIR	CFOC	CD1	CD0	WP1	WP0	SDA													
Reset	0	1	1	0	1	1	1	1	0	1	X	X	X	X	X	X	X	X	1	1	X	X	1	X	X	0	X	X	X	X	X	X	0						
	Bits	Nome		Descrição																																			
	31:24	GID		Global Identifier: Registrador somente-leitura que contém o identificador da placa Pegasus.																																			
	23:22	RID		Revision Identifier: Registrador somente-leitura que contém a revisão do firmware da Pegasus.																																			
	21:14	SWD		Switch Data: Registrador somente-leitura que contém o valor do DIP Switch existente na placa Pegasus.																																			
	13:12	DSIO[x]		Direction SSP I/O[x]: Direção do GPIO x do conector SSP. 0 = Configura para saída. 1 = Configura para entrada.																																			
	11:10	SIO[x]		SSP I/O[x]: Leitura retorna o valor do GPIO x do conector SSP e escrita seleciona o seu valor. 0 = Estado do pino é baixo. 1 = Estado do pino é alto.																																			



		Control Register													0x08000030																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GID						RID		SWD						DSIO1	DSIO0	SIO1	SIO0	DRFIO	RFIO	SS	EIR	CFOC	CD1	CD0	WP1	WP0	SDA				
Reset	0	1	1	0	1	1	1	1	0	1	X	X	X	X	X	X	X	X	1	1	X	X	1	X	X	0	X	X	X	X	X	0
9	DRFIO		Direction RF GPIO: Direção do GPIO do rádio. 0 = Configura para saída. 1 = Configura para entrada.																													
8	RFIO		RF GPIO: Leitura retorna o valor do GPIO do rádio e escrita seleciona o seu valor. 0 = Estado do pino é baixo. 1 = Estado do pino é alto.																													
7	SS		Supply Status: Registrador somente-leitura indicando o estado da fonte de alimentação. 0 = Utilizando alimentação primária. 1 = Utilizando alimentação alternativa.																													
6	EIR		Enable IrDA: Habilita a interface de infravermelho. 0 = Interface desabilitada. 1 = Interface habilitada.																													
5	CFOC		Compact Flash OverCurrent: Registrador somente-leitura indicando que foi detectada sobrecorrente no cartão Compact Flash. 0 = Funcionamento normal. 1 = Sobrecorrente detectada.																													
4:3	CD[x]		Card Detect[x]: Registrador somente-leitura indicando que existe cartão inserido no conector do SD[x]. 0 = Sem cartão inserido. 1 = Cartão inserido.																													
2:1	WP[x]		Write Protection[x]: Registrador somente-leitura indicando que existe proteção contra gravação no cartão SD[x]. 0 = Proteção contra gravação habilitada. 1 = Proteção contra gravação desabilitada.																													
0	SDA		Shutdown Amplifier: Desliga o amplificador de áudio. 0 = Amplificador ligado. 1 = Amplificador desligado.																													



3.3.2 - CPLD Lubbock (Emulação)

Como a placa Pegasus possui dispositivos existentes também na plataforma Lubbock da Intel, sua CPLD foi emulada para facilitar o porte dos drivers já existentes.

A seguir está a descrição dos registradores emulados.

3.3.2.1 - Whoami Register

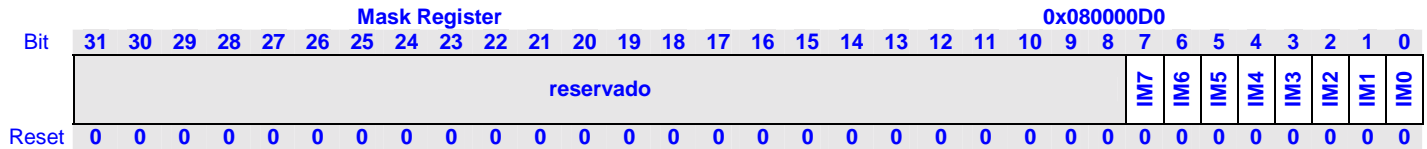
WhoAml Register																0x08000004																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	reservado																Whoami_H								Whoami_L									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0		
Bits	Nome		Descrição																															
31:16	-		Reservado																															
15:8	Whoami_H		Whoami_H : registrador somente-leitura contendo os 8 bits mais significativos do ID.																															
7:0	Whoami_L		Whoami_L : registrador contendo os 8 bits menos significativos do ID.																															

3.3.2.2 - Interrupt Register

Interrupt Register																0x080000C0																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	reservado																Data								IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bits	Nome		Descrição																															
31:16	-		Reservado																															
15:8	Data		Data : Dados que podem ser utilizados como armazenagem temporária, não possuem função específica.																															
7:0	IE[x]		Interrupt Enable[x] : Habilita ou desabilita a interrupção. 0 = Interrupção desabilitada. 1 = Interrupção habilitada.																															



3.3.2.3 - Mask Register



Bits	Nome	Descrição
31:8	-	Reservado
7:0	IM[x]	<p>Interrupt Mask: Máscara de interrupção que indica o estado atual da interrupção na leitura ou limpa seu estado na escrita.</p> <p>Leitura: 0 = Interrupção inativa. 1 = Interrupção ativa.</p> <p>Escrita: 0 = Limpa a interrupção. 1 = Mantém o estado atual.</p>

3.3.2.4 - Equivalência entre as interrupções da Lubbock e Pegasus

Lubbock	Pegasus
SD/MMC 0	SD/MMC 0
SA1111	SA1111
USB Slave	USB Slave
Ethernet	Ethernet
Touch Screen	Touch Screen
Touch Screen Bur-Brown	USB Host (ISP1362)
USB Slave	USB Slave
Não Disponível	SD/MMC 1



3.3.3 - SA11x1 (Emulação)

A FPGA da Pegasus emula o Companion Chip do StrongARM, ligado ao PXA255 da mesma forma que na plataforma Lubbock. Os dispositivos emulados são o segundo canal do PCMCIA/CF para o Compact Flash, as duas interfaces PS/2, além do controlador de interrupções. Isso permite que o driver padrão do SA11x1 para a Lubbock seja utilizado na Pegasus.

O primeiro canal PCMCIA/CF não está implementado, apesar de que seus registradores estão. Porém, estes registradores são ignorados.

A emulação é realizada através da implementação de vários registradores, os quais estão descritos a seguir:

3.3.3.1 - T0F

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	Teste 0F																0x10000000																			
	T0F																																			
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
	Bits	Nome	Descrição																																	
	31:0	T0F	Teste 0F: Registrador somente-leitura que pode ser utilizado para teste do barramento de dados. Sua leitura sempre retorna 0x0000FFFF																																	

3.3.3.2 - TF0

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	Teste F0																0x10000004																			
	TF0																																			
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
	Bits	Nome	Descrição																																	
	31:0	TF0	Teste F0: Registrador somente-leitura que pode ser utilizado para teste do barramento de dados. Sua leitura sempre retorna 0xFFFF0000																																	



3.3.3.3 - SKID

		ID Register																0x10000008															
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		CI																CR															
Reset		0	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	1	1	0	0	0	0	1	0	0	0	0	1	0	1	1	0
Bits	Nome	Descrição																															
31:8	CI	Component Identifier: Registrador somente-leitura que contém a identidade do SA-1111.																															
7:0	CR	Component Revision: Registrador somente-leitura que contém a versão do firmware do SA-1111. É dividido em 2 partes: Silicon revision (bits 7:4) e Metal revision(bits 3:0).																															

3.3.3.4 - KBDCR

		Control Register 1																0x10000A00				0x10000C00												
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		reservado																												ENA	RSV	FKD	FKC	
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bits	Nome	Descrição																																
31:4	-	Reservado																																
3	ENA	ENA: Habilita a interface PS/2. 0 = Desabilitado 1 = Habilitado																																
2	-	Reservado																																
1	FKD	FKD: Força o pino de dados para nível baixo, independente do estado do controlador. 0 = Modo normal. 1 = Modo forçado.																																
0	FKC	FKC: Força o pino de clock para nível baixo, independente do estado do controlador. 0 = Modo normal. 1 = Modo forçado.																																



3.3.3.5 - KBDSTAT

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	reservado																							STP	TXE	TXB	RXF	RXB	ENA	RXP	KBD	KBC	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	X	X
	Bits	Nome	Descrição																														
	31:9	-	Reservado																														
	8	STP	<p>Stop bit error: Indica que houve erro na recepção do bit de parada, podendo gerar uma interrupção. A FPGA da Pegasus não gera este erro.</p> <p>0 = Sem erro no Stop bit. 1 = Houve erro na recepção do Stop bit.</p>																														
	7	TXE	<p>Tx Register Empty: Indica que o buffer de transmissão está vazio, podendo gerar uma interrupção.</p> <p>0 = Buffer ocupado. 1 = Buffer vazio.</p>																														
	6	TXB	<p>Tx Busy: Indica que existem dados sendo transmitidos.</p> <p>0 = Em espera. 1 = Ocupado.</p>																														
	5	RXF	<p>Rx Full: Indica que existem dados recebidos prontos para serem lidos, podendo gerar uma interrupção.</p> <p>0 = Sem dados. 1 = Dado pronto para ser lido.</p>																														
	4	RXB	<p>Rx Busy: Indica que existem dados sendo recebidos.</p> <p>0 = Em espera 1 = Ocupado</p>																														
	3	ENA	Enable: Interface habilitada.																														
	2	RXP	Parity bit: Indica o bit de paridade do último dado recebido (Paridade ímpar).																														
	1	KBD	KBD: Estado do pino de dados após amostragem.																														
	0	KBC	KBC: Estado do pino de clock após amostragem.																														



3.3.3.6 - KBDDATA

	Data Register 1 Data Register 2															0x10000A08 0x10000C08																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	reservado																							KBDAT									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome	Descrição																														
	31:8	-	Reservado																														
	7:0	KBDAT	KBDAT: Leitura retorna último dado recebido e escrita seleciona o dado a ser transmitido.																														

3.3.3.7 - KBDCLKDIV

	Clock Division Register 1 Clock Division Register 2															0x10000A0C 0x10000C0C																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	reservado																										DivVal						
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome	Descrição																														
	31:2	-	Reservado																														
	1:0	DivVal	DivVal: Seleção do divisor de clock. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.																														

3.3.3.8 - KBDPRECNT

	Clock Precount Register 1 Clock Precount Register 2															0x10000A10 0x10000C10																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	reservado																							PrecntMax									
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome	Descrição																														
	31:8	-	Reservado																														
	7:0	PrcntMax	PrcntMax: Valor máximo de Precount. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.																														



3.3.3.9 - KBDITR

Interrupt Test Register 1										0x10000A14																							
Interrupt Test Register 2										0x10000C14																							
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	reservado																							STP	TXE	RSV	RXF	reservado					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome	Descrição																														
	31:9	-	Reservado																														
	8	STP	Stop bit error: Força uma interrupção de Stop bit error. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.																														
	7	TXE	Tx Empty: Força uma interrupção de Tx Empty. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.																														
	6	-	Reservado																														
	5	RXF	Rx Full: Força uma interrupção de Rx Full. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.																														
	4:0	-	Reservado																														

3.3.3.10 - INTEN0

Interrupt Enable 0																0x10001608																	
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	IE31	IE30	IE29	IE28	IE27	IE26	IE25	IE24	IE23	IE22	IE21	IE20	IE19	IE18	IE17	IE16	IE15	IE14	IE13	IE12	IE11	IE10	IE9	IE8	IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome	Descrição																														
	31:0	IE[x]	Interrupt Enable[x]: Máscara que habilita a interrupção x. 0 = Interrupção desabilitada. 1 = Interrupção habilitada.																														



3.3.3.11 - INTEN1

		Interrupt Enable 1														0x1000160C																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
	reservado									IE54	IE53	IE52	IE51	IE50	IE49	IE48	IE47	IE46	IE45	IE44	IE43	IE42	IE41	IE40	IE39	IE38	IE37	IE36	IE35	IE34	IE33	IE32					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Nome		Descrição																																		
31:23	-		Reservado																																		
22:0	IE[x]		Interrupt Enable[x]: Máscara que habilita a interrupção x. 0 = Interrupção desabilitada. 1 = Interrupção habilitada.																																		

3.3.3.12 - INTSTATCLR0

		Interrupt Status Clear 0														0x1000161C																					
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
	IS31	IS30	IS29	IS28	IS27	IS26	IS25	IS24	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Nome		Descrição																																		
31:0	IS[x]		Interrupt Status[x]: Leitura retorna estado da interrupção e escrita limpa a interrupção. <u>Leitura:</u> 0 = Interrupção inativa. 1 = Interrupção ativa. <u>Escrita:</u> 0 = Mantém o estado atual. 1 = Limpa a interrupção.																																		



3.3.3.13 - INSTATCLR1

		Interrupt Status Clear 1																0x10001620																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	reservado									IS54	IS53	IS52	IS51	IS50	IS49	IS48	IS47	IS46	IS45	IS44	IS43	IS42	IS41	IS40	IS39	IS38	IS37	IS36	IS35	IS34	IS33	IS32				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
Bits	Nome		Descrição																																	
31:23	-		Reservado																																	
22:0	IS[x]		<p>Interrupt Status[x]: Leitura retorna estado da interrupção e escrita limpa a interrupção.</p> <p>Leitura:</p> <p>0 = Interrupção inativa. 1 = Interrupção ativa.</p> <p>Escrita:</p> <p>0 = Mantém o estado atual. 1 = Limpa a interrupção.</p>																																	

3.3.3.14 - PCCR

		Control Register																0x10001800																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	reservado																							S1PSE	S0PSE	S1_PWAITEN	S0_PWAITEN	S1_FLT	S0_FLT	S1_RST	S0_RST					
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
Bits	Nome		Descrição																																	
31:8	-		Reservado																																	
7:6	S[x]PSE		S[x]PSE: Configura a tensão de alimentação do cartão. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.																																	
5:4	S[x]_PWAITEN		S[x]_PWAITEN: Configura o estado do pino de S[x]_nPWAIT da interface.																																	
3:2	S[x]_FLT		S[x]_FLT: Configura todos os pinos de controle da interface para ficarem em alta impedância.																																	
1:0	S[x]_RST		S[x]_RST: Configura o estado do pino de reset da interface.																																	



3.3.3.15 - PCSSR

		Sleep State Register																0x10001804																
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		reservado																												Socket 1	Socket 0			
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Bits	Nome																												Descrição				
	31:2	-																												Reservado				
	1:0	Socket[x]																												Socket[x] : Informa que a interface está em modo Sleep. Na FPGA da Pegasus, este registrador apenas retém o dado escrito e pode ser lido, mas não é utilizado.				

3.3.3.16 - PCSR

		Status Register																0x10001808																
Bit		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		reservado														Socket 1 BVD2	Socket 1 BVD1	Socket 0 BVD2	Socket 0 BVD1	Socket 1 WP	Socket 0 WP	Socket 1 VS2	Socket 1 VS1	Socket 0 VS2	Socket 0 VS1	Socket 1 Card Detect	Socket 0 Card Detect	Socket 1 Ready	Socket 0 Ready					
Reset		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	1	1	X	1	X	X	1	1	X	1	X	1	0
	Bits	Nome																												Descrição				
	31:14	-																												Reservado				
	13:12	Socket[x] Ready																												Socket[x] Ready : Sinal Ready do cartão PCMCIA/CF.				
	11:10	Socket[x] Card Detect																												Socket[x] Card Detect : Indica que existe cartão inserido. 0 = Sem cartão. 1 = Cartão inserido.				
	9:8	Socket 0 VS[x]																												Socket 0 VS[x] : Sinais de Voltage Sense do primeiro canal. Na FPGA da Pegasus, este registrador sempre contém 11.				
	7:6	Socket 1 VS[x]																												Socket 1 VS[x] : Sinais de Voltage Sense do segundo canal. 00 = Inválido 01 = Cartão de 3.3 Volts 10 = Cartão de 5 Volts 11 = Sem cartão				



Status Register																0x10001808																
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	reservado														Socket 1 BVD2	Socket 1 BVD1	Socket 0 BVD2	Socket 0 BVD1	Socket 1 WP	Socket 0 WP	Socket 1 VS2	Socket 1 VS1	Socket 0 VS2	Socket 0 VS1	Socket 1 Card Detect	Socket 0 Card Detect	Socket 1 Ready	Socket 0 Ready				
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X	X	1	1	X	1	X	X	1	1	X	1	X	1
5:4	Socket[x] WP		Socket[x] WP: Sinal nIOIS16 do cartão PCMCIA/CF.																													
3	Socket 0 BVD1		Socket 0 BVD1: Sinal BVD1 (nSTSCHG) do primeiro canal. Na FPGA da Pegasus, este registrador sempre contém 1.																													
2	Socket 0 BVD2		Socket 0 BVD2: Sinal BVD2 (nSPKR) do primeiro canal Na FPGA da Pegasus, este registrador sempre contém 1.																													
1	Socket 1 BVD1		Socket 1 BVD1: Sinal BVD1 (nSTSCHG) do segundo canal.																													
0	Socket 1 BVD2		Socket 1 BVD2: Sinal BVD2 (nSPKR) do segundo canal																													



3.4 - SiriuStar

A CPLD da SiriuStar possui um registrador que configura o funcionamento de alguns dispositivos. Este registrador está descrito a seguir:

3.4.1 - Control Register

Control Register		0x0A000000																																		
Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
	reservado																OUTX	RSV	nBOOT	nERROR	RSV	EUART	ELCD	EBL	OUT											
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
Bits	Nome		Descrição																																	
31:16	-		Reservado																																	
15	OUTX		OUTX: Saída extra de uso geral, está disponível no barramento de expansão do módulo SiriuStar.																																	
14	-		Reservado																																	
13	nBOOT		nBOOT: Controla o led de BOOT do módulo. 0 = Led aceso. 1 = Led apagado.																																	
12	nERROR		nERROR: Controla o led de ERROR do módulo. 0 = Led aceso. 1 = Led apagado.																																	
11:10	-		Reservado																																	
9	EUART		Enable UART: Habilita o driver RS-232 disponível no módulo SiriuStar. 0 = Desabilitado. 1 = Habilitado.																																	
8	ELCD		Enable LCD: Sinal que pode ser utilizado para habilitar um LCD que esteja conectado ao conector de LCD (J20) da placa Pegasus.																																	
7	EBL		Enable Backlight: Sinal que pode ser utilizado para habilitar o Backlight de um LCD que esteja conectado ao conector de LCD (J20) da placa Pegasus.																																	
6:0	OUT		OUT: Saídas de uso geral, estão disponíveis no barramento de expansão do módulo SiriuStar.																																	



3.5 - Ethernet

A interface ethernet disponível na placa Pegasus é implementada através do controlador LAN91C111. Este é um controlador que suporta comunicação a 10/100 Mbps e que possui muitos drivers disponíveis no mercado.

Apesar de a plataforma Pegasus ter sido baseada na plataforma Lubbock da Intel, existe uma diferença na ligação do chip de rede entre as mesmas. Os sinais de address na Lubbock estão deslocados em 2. Ou seja, A2 da CPU da Lubbock liga no A0 do chip de rede, A3 liga em A1 e assim por diante.

Isso se deve a uma limitação da Lubbock, que não disponibiliza os address mais baixos no bus de expansão. O ideal seria utilizar o driver da plataforma Mainstone II da Intel, onde a ligação já é direta assim como nos módulos Pegasus/SiriuStar.

O endereço base do chip de rede é 0x0C000300, ou seja, o offset do endereço do chip de rede dentro do banco CS3 é de 0x300.

3.6 - USB

A interface USB 2.0 disponível na placa Pegasus é implementada através do controlador ISP1362. Este controlador contém duas interfaces USB host e é compatível também com o padrão USB 1.1.

Este é um controlador que possui uma interface Host e uma outra que pode ser configurada tanto como OTG (On The Go), Slave ou Host. No módulo Pegasus, ela está forçada para operar como uma interface Host.

O ISP1362 possui 2 interrupções: uma para a interface Host e outra para a interface Slave. Como somente estão implementadas interfaces como Host, a interrupção relativa à interface Slave (INT2) não é utilizada.

A interrupção da interface Host (INT1) está direcionada ao registrador de interrupções da CPLD emulada da Lubbock. Para ver o quadro demonstrativo de equivalência entre as interrupções do módulo Pegasus e da plataforma Lubbock da Intel, vide a seção 3.3.2.4.

Seu endereço base é 0x14000000.



4 - Notas

- Os nomes Lubbock e Mainstone citados neste documento são de propriedade de Intel Corporation e/ou suas subsidiárias.
- Outros nomes e/ou marcas aqui mencionados pertencem a seus respectivos proprietários e não devem ser utilizados sem o seu consentimento.
- As informações contidas neste documento podem ser alteradas sem aviso prévio.